

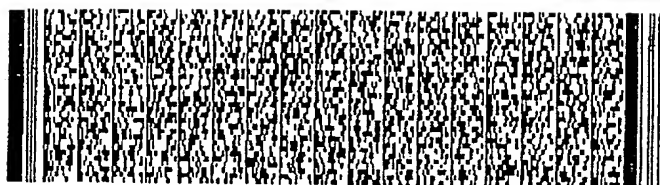
|               |              |     |
|---------------|--------------|-----|
| 申請日期: 88.5.27 | 案號: 88108747 | 公告本 |
| 類別: G06F P22  |              |     |

(以上各欄由本局填註)

# 發明專利說明書

442753

|      |                    |   |
|------|--------------------|---|
| 發明名稱 | 中文                 | 具分支控制之資料處理系統及其控制方法  |
|      | 英文                 | DATA-PROCESSOR SYSTEM HAVING BRANCH CONTROL AND METHOD THEREOF  |
| 發明人  | 姓名<br>(中文)         | 1. 李皇利<br>2. 威利恩 C. 摩亞<br>3. 傑夫瑞 W. 史考特<br>4. 約漢 H. 亞瑞德斯  |
|      | 姓名<br>(英文)         | 1. LEA HWANG LEE<br>2. WILLIAM C. MOYER<br>3. JEFFREY W. SCOTT<br>4. JOHN H. ARENDS                         |
|      | 國籍                 | 1. 新加坡 2. 美國 3. 美國 4. 美國  |
|      | 住、居所               | 1. 美國德州奧斯汀市西魯德博特路1201號<br>2. 美國德州德利普使普淋斯市皮爾布蘭琦路1005號<br>3. 美國德州奧斯汀市史東納雷克大道9801號<br>4. 美國德州奧斯汀市夏克蕾福德大道10709號 |
| 申請人  | 姓名<br>(名稱)<br>(中文) | 1. 美商摩托羅拉公司   |
|      | 姓名<br>(名稱)<br>(英文) | 1. MOTOROLA INC.  |
|      | 國籍                 | 1. 美國   |
|      | 住、居所<br>(事務所)      | 1. 美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心   |
|      | 代表人<br>姓名<br>(中文)  | 1. F. 強 莫辛格   |
|      | 代表人<br>姓名<br>(英文)  | 1. F. JOHN MOTSINGER  |



## 四、中文發明摘要 (發明之名稱：具分支控制之資料處理系統及其控制方法)

本發明揭示一種管路式資料處理系統(10)，包括一個位址產生單元(30)。該位址產生單元(30)包括一個目標位址暫存器(58)，一個短逆向分支(SBB)位址暫存器(60)，及一個計數暫存器(74)，其中該計數暫存器(74)使小規模迴路的執行更有效，並允許在未擷取該分支指令下作分支摺疊。

## 英文發明摘要 (發明之名稱：DATA PROCESSOR SYSTEM HAVING BRANCH CONTROL AND METHOD THEREOF)

A pipelined data processing system (10) includes an address generation unit (30). The address generation unit (30) includes a target address register (58), a short backward branch (SBB) address register (60), and a count register (74) that makes the execution of small loops more efficient and allows branch folding without fetching the branch instruction.



442753

本案已向

國(地區)申請專利

美國 US

申請日期

1998/06/19 09/100,669

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

## 先前申請參考

本申請書已於1998年6月19日在美國提出，專利申請號碼09/100,669。

## 發明範疇

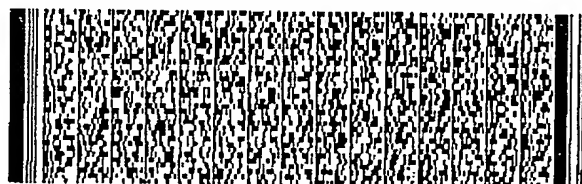
本發明概略地說明資料處理；且更明確地說明一種具最佳化分支控制之資料處理系統及其控制方法。

## 發明背景

因攜帶式和掌上型應用的普遍使用，故低電源設計的技藝於微處理器和微控制器設計中益增其重要性。該等應用要求電池壽命長和低系統成本。一個攜帶式應用，點型地於兩種操作模式間選擇性地操作：(i)資料組模式，其中執行動態的計算；及(ii)低電源模式(或睡眠模式)，其中該系統為睡的，等待一個新的計算事件發生。如一個次系統(包括微處理器)僅消耗該整個系統電源的一小部分，則低成本和高性能應為該次系統設計的目標。

長久以來，分支已被認為是降低一管路式機器性能的一個主要因素。此係因分支中斷了該指令流的連續流程之事實。同時，通常僅能將分支深遠地解譯成該執行管路。廣泛地使用如分支預測和臆測執行的技藝，以減少分支不利的效果。不幸的是，該等技藝通常要求硬體增強執行。需要其它選擇性、低成本的方法改良分支上的性能。

已使用微處理器先前所採用、用以最佳化分支路徑的方法。其中一種最佳化該等分支指令執行的方法，已知為軟體迴路不轉。當已知將執行一特殊的迴路很多次時，則於



## 五、發明說明 (2)

編譯時間發生軟體迴路不轉。軟體迴路不轉複製該迴路內的編碼，並藉由一個和複製該編碼總次數相等的因素，減少重複經過該迴路的總數。例如，如已知在編譯時間將執行一特殊軟體迴路一百次，則複製該不轉迴路內的該編碼兩次係可能的，且僅執行該實際的分支五十次。然而，該一種技藝在每一次重複時潛在地保存循環的同時，將產生一個規模較大的靜態程式。

另外一種已知最佳化分支的先前技藝，係使用一特殊的迴路指令。先前技藝係將特殊的迴路指令設計成使該迴路計數器的一個分支和一個減量(或增量)發生於一單一的指令內。因此，儲存每一次重複的一個時計循環。然而，每一個特殊的迴路指令均要求一獨一無二的指令運算碼。因此，係藉犧牲一規模較大的指令集而完成的。

又另一個先前技藝的方法，連同特殊迴路指令一起併入一迴路模式中。迴路模式為一個指令，指示重覆該先前指令一指定的次數。該一種執行，避免必須擷取該循序要執行極多次的指令。然而，該技藝要求該等特殊迴路指令的存在，並將該迴路本體限制在一個單一的指令上。

因此，一種更多變、將執行程式迴路所需的時計循環總數減至最少之分支方法，係較可取的。

## 圖式簡單說明

圖1例證說明短逆向分支(SBB)指令的指令格式；

圖2例證說明短正向分支(SFB)指令的指令格式；

圖3例證說明一包含該迴路尾端一SBB的程式迴路；



## 五、發明說明 (3)

圖4以方塊圖的形式，例證說明根據本發明的一資料處理系統；

圖5以方塊圖的形式，例證說明圖4的CPU(中央處理單元)12；

圖6以部分方塊圖的形式和部分邏輯圖的形式，更詳細的例證說明圖5的位址產生單元30；

圖7以部分方塊圖的形式和部分邏輯圖的形式，更詳細的例證說明圖5的分支控制34；

圖8例證說明一用以描述分支控制34一狀態機器的該操作之部分狀態圖；

圖9例證說明一根據本體系、圖4該資料處理系統不同信號之時序圖；

圖10例證說明一包含一SBB和一SFB的程式迴路；

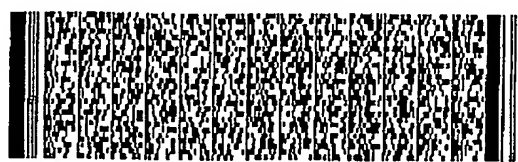
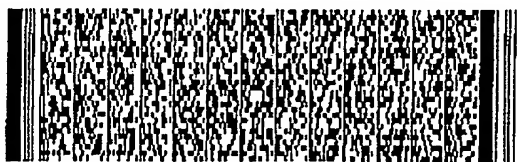
圖11以部分方塊圖的形式和部分邏輯圖的形式，就一交替的體系例證說明圖5分支控制34；

圖12例證說明根據本體系、並利用一交替體系，圖4該資料處理系統不同信號之一時序圖。

一較可取體系說明

圖1例證說明短逆向分支指令的指令格式，以SBB表示。圖2例證說明短正向分支指令的指令格式，以SFB表示。該等SBB和SFB為條件的或無條件的、且和PC(程式計數器)有關的指令。可將不同的分支指令(具有不同的運算碼S)集合性地定義成SBB指令或SFB指令。

可將該等指令分割成兩欄：(i)運算碼，載明該分支的



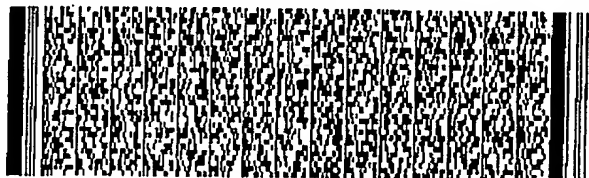
## 五、發明說明 (4)

形態；及(ii)分支替代 - 增加至該程式計數器(PC)中，以形成該分支目標位址的替代。就SBB指令而言，該分支替代具有前導壹，指示其有一負數的分支替代，且當增加至該PC中時，將產生一個逆向分支目標。同樣地，就SFB指令而言，該分支替代具有前導零，指示其有一正數的分支替代。

可更進一步將該分支替代欄分割成兩欄：(i)一高位替代欄，以UD表示；及(ii)一低位替代欄，以LD表示。該高位替代欄對SBB而言均為壹，且對SFB而言均為零。於一體系中，SBB和SFB該LD欄的寬度是相同的，即 $w$ 位元寬。就定義來說，一個SBB有一有限的逆向分支距離，指定為 $2^w$ ，其中 $w$ 為該LD欄的寬度。同樣地，一個SFB有一有限的正向分支距離，指定為 $2^w$ 。

圖3例證說明一迴路尾端包含一SBB指令的程式迴路。該SBB指令位於位址 $A_{SBB}$ 上。將緊隨該SBB的該指令，指示為位於位址 $A_{FT}$ 上的該失敗指令( $I_{FT}$ )。同樣地，緊隨 $I_{FT}$ 的該指令，為位於位址 $A_{FT+1}$ 上的 $I_{FT+1}$ 。

圖4以方塊圖的形式，例證說明根據本發明一個體系的一個資料處理器10。於一體系中，資料處理器10包括一中央處理單元(CPU)12，記憶體14，匯流排界面模組16及其它的模組18，其中均藉由匯流排20相互地雙向耦合。匯流排界面模組16，可藉由外部匯流排26和資料處理器10於外部耦合。其它的模組18，則選擇性地藉由一個或多個積體電路端28和資料處理器10於外部耦合。記憶體14，選擇性



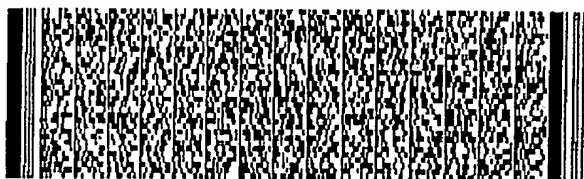
## 五、發明說明 (5)

地藉由一個或多個積體電路端24和資料處理器10於外部耦合。中央處理單元12，選擇性地藉由一個或多個積體電路端22和資料處理器10於外部耦合。

仍參考圖4，本發明交替的體系可對資料處理器10使用任何的結構形態。此外，資料處理器10可執行種類廣泛的功能。例如，資料處理器10可利用一RISC(精簡指令集電腦)結構，可利用一Harvard結構，可以為一個向量處理器，可以為一個SIMD(單一指令多重資料)處理器，可執行浮點運算，可執行數位信號處理計算...等等。

圖5以方塊圖的形式，例證說明根據本發明的CPU(中央處理單元)12。CPU 12包括位址產生單元30，控制單元32，指令暫存器(IR)36，多工器38，失敗指令暫存器(IR<sub>FT</sub>)40，指令解碼器42，執行單元44，資料輸入緩衝器46及資料輸出緩衝器48。控制單元32包括分支控制34。

記憶體14和一位址匯流排耦合，用以接收一標示為"ADDRESS"的位址；且和一資料匯流排耦合，用以接收和提供標示為"DATA"的資料。記憶體14可為任何種類的傳統記憶體，包括揮發性記憶體，如靜態隨機存取記憶體(SRAMs)和動態隨機存取記憶體(DRAMs)；或非揮發性記憶體如電氣式可程式化僅讀記憶體(EPROM)和快閃記憶體。同時，記憶體14可在相同的積體電路，如CPU 12上，或可位於CPU 12的外部。位址產生單元30有一第一組多個輸入端，用以接收執行單元44中一標示為"OPERAND ADDRESS"的運算元位址；一第二組多個輸入端，用以接收指令暫存





## 五、發明說明 (6)

器36中的一分支替代欄；及多個輸出端，用以提供位址信號"ADDRESS"給記憶體14。位址產生單元和記憶體14，係經標示為"CONTROL"的控制信號、由控制單元32控制之。

多工器38有一第一組多個輸入端，用以接收資料輸入緩衝器46中的指令；一第二組多個輸入端，和該失敗指令暫存器( $IR_{FT}$ )40的輸出端耦合；及多個輸出端，用以提供"資料輸入緩衝器46中的該指令"亦或"儲存於暫存器40中的該失敗指令"。分支控制34提供該等控制信號，用以控制指令暫存器36、多工器38及失敗指令暫存器40的該操作。

資料輸入緩衝器46接收記憶體14中的資料，並"提供緩衝的資料給執行單元44"和/或"提供指令給多工器38該第一組多個輸入端"。資料輸出緩衝器48接收執行單元44中的輸出資料，並提供資料寫入記憶體14中。資料輸入緩衝器46和資料輸出緩衝器48，係由控制單元32所提供的控制信號控制之。

指令解碼器42和指令暫存器36耦合，用以接收一個指令。指令解碼器42和執行單元44耦合。執行單元44和資料輸入緩衝器46耦合，用以接收記憶體14中的資料。同樣地，執行單元44和資料輸出緩衝器48耦合，用以提供資料給記憶體14。執行單元44選擇性地執行指令解碼器42解碼的該等指令，並提供該結果給資料輸出緩衝器48或給位址產生單元30。執行單元44，可包括例如一算術邏輯單元(ALU)。

控制單元32和指令暫存器36耦合，用以接收指令；且控



## 五、發明說明 (7)

制單元32提供標示為"CONTROL"的控制信號，控制位址產生單元30和記憶體14的操作，作為回應。控制單元32和指令解碼器42、執行單元44耦合。執行單元44提供條件碼資訊給控制單元32。

資料處理系統10以一四個階段的管路執行指令。該等四個階段包括一擷取階段，一解碼階段，一執行階段及一回寫階段。於該指令擷取階段期間，從記憶體(如記憶體14)中擷取一個指令。接著，於指令解碼器42中將該指令解碼。提供該解碼的指令給執行單元44，並控制解碼單元44的操作。接著，執行單元44經由資料輸出緩衝器48，將指令執行的該等結果回寫至記憶體14中。

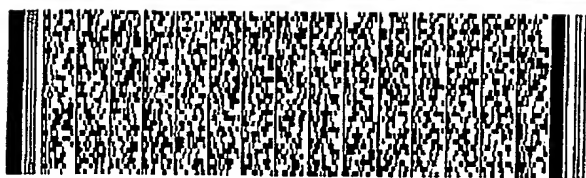
圖6以部分方塊圖的形式和部分邏輯圖的形式，更詳細的例證說明圖5的位址產生單元30。位址產生單元30包括位址多工器50，暫存器52，程式計數器54，目標位址暫存器58，加法器56，SBB位址暫存器60，多工器62，多工器64，加法器66及多工器68。位址多工器50有一第一組多個輸入端，用以接收一標示為"OPERAND ADDRESS"的位址；一第二組多個輸入端，和加法器66的該等輸出端耦合；一第三組多個輸入端，和多工器68的該等輸出端耦合；及多個輸出端，和暫存器52的該等輸入端耦合。暫存器52有多個輸出端，用以提供標示為"ADDRESS"的位址信號給程式計數器54的輸入端，和給暫存器58的輸入端。程式計數器54有多個輸出端，和加法器56的一第一組多個輸入端、多工器62的一第一組多個輸入端耦合。加法器56將程式計數



## 五、發明說明 (8)

器54的該輸出增加至"2"中，並提供輸出端上的該結果給多工器68的一第二組多個輸入端，和給暫存器60的該等輸入端。因該指令寬度等於兩個位元組，故將該"2"增加至程式計數器54中。注意，雖然於該例證說明的體系中，將一個"2"增加至該程式計數器的值中，但其它具有不同指令寬的體系將利用一個不同的數字。暫存器60標示為" $A_{SBB}$ "的輸出端，和多工器62的該第二組多個輸入端耦合。多工器64有一第一組多個輸入端，用以接收"4"作為一個輸入；及一第二組多個輸入端，和指令暫存器36耦合，用以接收一個指令的一分支替代欄。將一個"4"增加至 $A_{SBB}$ ，以便可提供 $A_{FT+1}$ 給記憶體14。 $A_{FT+1}$ 為 $I_{FT+1}$ 的位址，其為SBB之後的兩個指令。於其它的體系中，可利用其它的方法產生 $A_{FT+1}$ 。多工器64有多個輸出端，和加法器66的該第二組多個輸入端耦合。加法器66標示為"BRANCH ADDRESS"的輸出端，和位址多工器50的輸入端耦合。

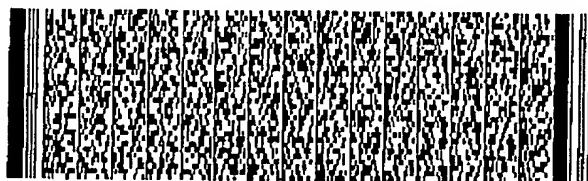
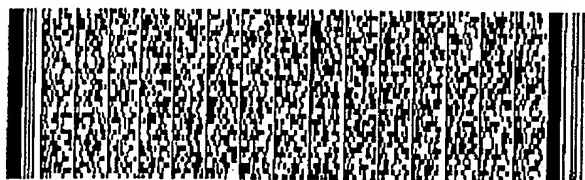
圖7以部分方塊圖的形式和部分邏輯圖的形式，更詳細的例證說明圖5的分支控制34。分支控制34包括一狀態機器(未顯示於圖中)，LD暫存器70，多工器72，計數暫存器74，加法器76及比較器78。LD暫存器70有多個輸入端，用以接收指令暫存器36中一指令該分支替代欄的該等低位替代位元；及多個輸出端，和多工器72一第一組多個輸入端耦合。多工器72亦有一第二組多個輸入端，用以接收指令暫存器36中該等低位替代位元；一第三組多個輸入端，和加法器76該輸出耦合。多工器72標示為"COUNT"的多個



## 五、發明說明 (9)

輸出端，和計數\_暫存器74的輸入端耦合。計數\_暫存器74的輸出端，和加法器76的一第一組多個輸入端耦合。加法器76有一第二組多個輸入端，用以接收"1"。由控制單元32控制暫存器70、74及多工器72。比較器78有一第一組多個輸入端，和多工器72的該輸出耦合；一第二組多個輸入端耦合，用以接收"-1"；一個輸出，用以提供一標示為"PREDICT\_TAKEN"的迴路結束信號給控制單元32。於其它體系中，可利用其它的裝置產生該PREDICT\_TAKEN信號，像是如位址比較。

圖8例證說明一用以描述圖5分支控制34一狀態機器該操作之簡化的狀態圖。分支控制34的該狀態機器有兩種操作狀態。該第一個狀態為閒置狀態(IDLE)40，指示未偵測到一短逆向分支(SBB)。一旦偵測到一個SBB，且如選擇了該SBB，則分支控制34的該狀態機器離開閒置狀態40，並進入動態狀態42。於一體系中，當在一動態狀態下，如偵測到並選擇了另一個SBB時，則該狀態機器將返回至該閒置狀態。於另一個體系中，當在一動態狀態下，如偵測到並選擇了另一個SBB時，該狀態機器將維持在該動態狀態下。於該事例中，以該新近遇到的SBB其LD欄載入圖7的LD暫存器70和計數。當符合以下兩個條件之一時，該狀態機器將返回至該閒置狀態：(1)未選擇該引起"一閒置狀態轉換至一動態狀態"之偵測的SBB指令；或(2)一流程發生改變，其中非該導因的SBB造成該改變。條件(1)，相對應至"該迴路經由該迴路尾端的該SBB循序離開"之該事例。條



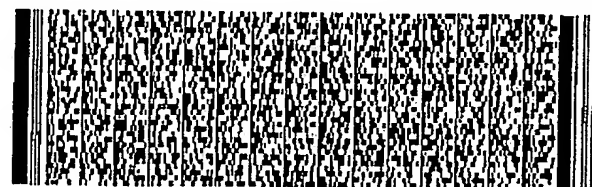
## 五、發明說明 (10)

件(2)，相對應至"於該具有一目地的迴路本體內(該目地在或不在該迴路本體內)，有一流程改變"之該事例。

圖9例證說明一根據本發明、圖4該資料處理系統不同信號之時序圖。現參考圖1-圖9，並將於此討論該資料處理系統10的操作。

資料處理系統10，一般執行從記憶體14中循序擷取的指令，直至遇到一流程指令改變為止，如一支指令。圖9例證說明連續的時計循環上該等位址 $A_0-A_2$ 的產生。同時，於每一個隨後的時計循環上，擷取相對應至每一個產生位址上的資料。例如，於循環2，從記憶體中擷取相對應至位址 $A_0$ 的指令 $I_0$ ，緊隨著位址 $A_1$ 的產生，於循環3擷取指令 $I_1 \dots$ 等等。於時計循環4，產生一相對應至該SBB指令的位址(即 $A_{SBB}$ )給記憶體14。於時計循環6，偵測該SBB指令。回應該正被偵測的SBB指令，將該目標位址，即位址 $A_0$ ，載入暫存器58中。同時，將一失敗指令 $I_{FT}$ 載入 $IR_{FT}$ 暫存器40中。該 $I_{FT}$ 指令，為該以靜態程式次序隨即跟隨一SBB指令的指令。

在每一個位址提供給記憶體14用以擷取指令之後的二分之一個時計循環，該位址門鎖於程式計數器54中，如圖9中的例證說明。注意，時計循環3-7定義一第一次重複。SBB偵測發生於該解碼階段。當發現於一循環之後選擇該SBB時，控制單元32的該狀態機器則從一閒置狀態到一動態狀態。同時，當偵測該SBB時，將指令暫存器36中的該低位替代欄LD載入LD暫存器70中(圖7)。對每一個隨後執



## 五、發明說明 (11)

行的指令而言，均以"1"增加圖4的該計數或迴路值。提供比較器78中的一個迴路結束信號PREDICT\_TAKEN(圖7)給控制單元32。當圖7的該計數達到-1時，則可斷言PREDICT\_TAKEN。

該迴路的第二次重複繼續進行，直到該計數於時計循環9達到一個"-1"的值。於時計循環9，當斷言該PREDICT\_TAKEN信號時，則產生一預測給控制單元32，並導致將該位址匯流排上的目標位址暫存器58中的該目標位址 $A_0$ 載入記憶體14中。

同時，於時計循環9，該程式計數器54包含了位址 $A_2$ 。利用加法器56以"2"增加該位址，以產生 $A_{SBB}$ 的一個結果。接著，將該結果位址載入SBB位址暫存器60中。程式流程繼續行經該第三次重複，直到於循環12產生另一個預測為止。又從目標位址暫存器58中選擇位址 $A_0$ ，並將 $A_0$ 提供給記憶體14。如該範例所示，於時計循環14結束時，判定該分支為錯誤預測的。藉該條件碼的值和該分支形態，判定一個分支為錯誤預測的。當於循環14辨識出一錯誤預測時，即已擷取和解碼指令 $I_0$ 。以"4"增加該先前載入SBB位址暫存器60中的位址，以產生 $A_{FT+1}$ 的一個結果。接著，將該位址匯流排上該結果位址載入記憶體14中。此導致該指令擷取從 $A_{FT+1}$ 啟始，如是防止一執行磁泡的發生。該回復啟始一個緊隨該錯誤預測的時計循環，且此時指令 $I_0$ 係在該執行階段。將終止該 $I_0$ 的執行。緊隨著 $I_0$ 執行的終止，回應該錯誤預測，將指令 $I_{FT}$ 從 $IR_{FT}$  40載入指令暫存器36

## 五、發明說明 (12)

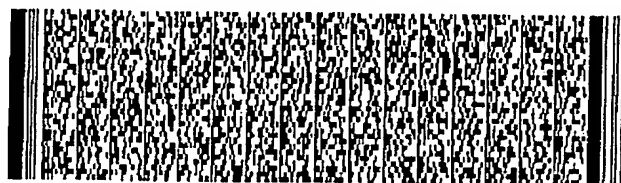
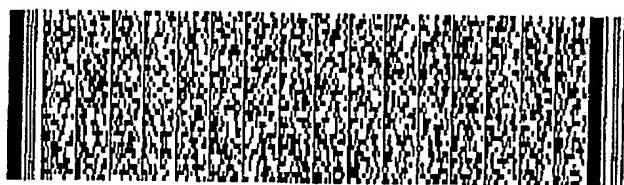
中。接著，指令執行繼續至 $I_{FT}$ 。該錯誤預測亦導致圖8的該狀態機器從該動態狀態轉換至該閒置狀態。

藉著同時"提供 $I_{FT}$ 給指令暫存器36"和"於該相同的循環(如該回復循環，即循環15，完成一零循環錯誤預測懲罰)中產生位址 $A_{FT+1}$ "。同時注意，圖9描述的該迴路的第一次重複需要五個循環。該具正確預測的第二次重複僅需要三個循環，比其一般在無摺疊分支時少兩個循環。該具有錯誤預測的第三次重複需要四個循環(不包括解碼 $I_{FT}$ 的該回復循環)。

於該上述的體系中，當在一動態狀態下，如有一流程改變，其中非該引起"一閒置狀態轉換至一動態狀態"之SBB造成該改變，且該流程改變的目標係位於該迴路本體內，則該狀態機器將離開該動態狀態。不管該流程改變的目的地是否仍在該迴路本體內之事實，此均將發生。

圖10例證說明一包含該迴路尾端一SBB的程式迴路。該程式迴路亦包含該迴路本體內位於 $A_1$ 的一SFB。該SFB的目的地為 $A_4$ ，且該正向分支的距離為+3。將利用圖10連同圖12，說明一增強的分支摺疊操作。

圖11以部分方塊圖的形式和部分邏輯圖的形式，更詳細的例證說明圖5的分支控制34。分支控制34包括一狀態機器(未顯示於該圖中)，LD暫存器94，多工器90，計數\_暫存器82，加法器80，比較器98，正數解碼器100，校正\_計數暫存器92及加法器96。暫存器94有多個輸入端，用以接收指令暫存器36中一指令該分支替代欄的該等低位替代位



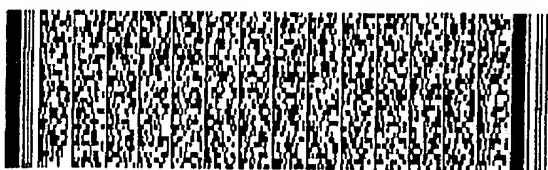
## 五、發明說明 (13)

元；及多個輸出端，和多工器90的一第一組多個輸入端耦合。多工器90亦有一第二組多個輸入端，用以接收指令暫存器36中的該等低位替代位元；一第三組多個輸入端，和加法器80的該輸出耦合；及一第四組多個輸入端，和校正\_計數暫存器92該輸出耦合。多工器90中多個標示為"COUNT"的輸出端，和計數\_暫存器82的輸入端耦合。

計數\_暫存器82的輸出端，和加法器80的一第一組多個輸入端耦合。加法器80有一第二組多個輸入端，用以接收"1"。由控制單元32，控制LD暫存器94，計數\_暫存器82，校正\_計數暫存器92及多工器90。比較器98有一第一組多個標示為"COUNT"的輸入端，和多工器90的該輸出耦合；一第二組多個輸入端，用以接收"-1"；及一輸出，用以提供一標示為"PREDICT\_TAKEN"的迴路結束信號給控制單元32。正解碼器100，有多個輸入端，和多工器90的該輸出耦合；及一輸出端，用以提供一標示為"INVALIDATE"的信號給控制單元32。校正\_計數暫存器92有多個輸入端，和加法器96的該輸出耦合。計數\_暫存器82有多個標示為"LATCH\_CNT"的輸出端，和加法器96的該第二組多個輸入端耦合。於其它體系中，可利用其它的裝置產生該PREDICT\_TAKEN信號，像是如位址比較。

圖12例證說明根據該增強操作，圖4該資料處理系統不同信號之一時序圖。現參考圖10-圖12，並將0就該增強設計討論該資料處理系統10的操作。

於該第一次重複執行期間，偵測一位在位址 $A_{SBB}$ 上的



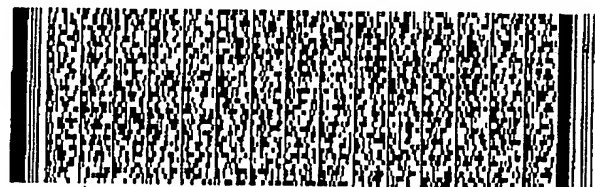


## 五、發明說明 (14)

SBB(循環2)。載入圖11 COUNT中的為低位替代欄。於該下一個循環中，發現選擇了該SBB。於該相同的循環(循環3)，該狀態機器進入動態狀態。執行繼續從 $I_0$ 開始。於循環5，偵測一SFB。於該循環期間，COUNT為-4，且LATCH\_CNT為-5。將該SFB的低位替代欄"+3"，增加至LATCH\_CNT中。於將近該第二次重複的結束時，對該SBB產生一個預測(循環7)。以"-6"從LD暫存器94中再載入該COUNT。因正確地預測出該選擇的SBB，故執行繼續從 $I_0$ 開始。於循環10，再次偵測該相同的SFB。於該範例中，發現未於循環11選擇該SFB。因此，多工器90仍然選擇從加法器80的該輸出中發源其輸入，而非從校正計數暫存器92的該輸出中去發源。如是，對每一個執行的指令，該COUNT繼續以"1"增加。於循環13，該COUNT達到-1，並對該SBB產生另一個預測。如早先所述該執行繼續進行。

一般而言，本發明允許不需擷取該分支指令的分支摺疊。就一單一問題、四階段的管路式資料處理系統而言，如重複的總數為兩次或兩次以下，則儲存的循環總數為零。就三次的重複而言，儲存的循環總數為2；就四次的重複而言，儲存的循環總數為4；且就五次的重複而言，儲存的循環總數為6。可以 $2m-4$ 表示該儲存的循環總數，其中 $m$ 等於該重複的總數。同時，當一個預測為"錯誤預測的"時，則無如先前分支預測技藝的循環懲罰。

以增加最少的硬體，完成該儲存的循環總數。同時，因於該第一次重複之後，未擷取解碼和執行該分支指令和



## 五、發明說明 (15)

失敗指令，故可節省能源並改良性能。

當以就特殊的體系說明本發明時，對那些熟知此技藝的人來說，將察知可以極多的方法修正本發明，且本發明可假設許多和上面特別說明不同的體系。例如，儲存於該計數暫存器中的該計數或迴路值，實際上可以為一"增加至第二個位址值"或"和第二個位址值比較"的位址值。如是，意欲藉該附加的申請專利範圍，包含所有在本發明該真實精髓和範疇內的修正。



# 六、申請專利範圍

1. 一種控制一資料處理系統之方法，包括：

擷取一位在一分支位址上的逆向分支指令，該逆向分支指令有一位移值，其中該逆向分支指令係用以對一後退至記憶體中的目標位址執行一分支，以定義一程式迴路；及根據該逆向分支指令，設定一迴路值。

2. 一種於一資料處理系統中循環之方法，該方法包括了下列步驟：

提供包含指令  $I_{br-1}$  和一分支指令  $I_{br}$  之指令記憶體，其中於該指令記憶體位址空間中，指令  $I_{br-1}$  緊接在分支指令  $I_{br}$  之前；

擷取和處理分支指令  $I_{br}$ ；

緊接著擷取和處理該分支指令的該步驟，擷取和處理一目標位址上的一目標指令；

擷取指令  $I_{br-1}$ ；及

緊接著擷取指令  $I_{br-1}$  的該步驟，擷取該目標位址上的該目標指令。

3. 一種於一資料處理系統中循環之方法，該方法包括：

提供包含指令  $I_{br-1}$ 、一分支指令  $I_{br}$  及一指令  $I_{br+1}$  之指令記憶體，其中於指令記憶體位址空間中，儲存指令  $I_{br-1}$  緊接在該分支指令  $I_{br}$  之前，且儲存指令  $I_{br+1}$  緊接在該分支指令  $I_{br}$  之後；

擷取和處理分支指令  $I_{br}$ ，其中該分支指令  $I_{br}$  的擷取和處理，包括儲存一目標位址的該子步驟；

擷取和儲存該指令  $I_{br+1}$ ；



## 六、申請專利範圍

於擷取和儲存該指令  $I_{br+1}$  的該步驟之後，即根據一分支預測，擷取和處理該目標位址上的一目標指令，其中該目標指令的擷取和處理，包括將該目標指令儲存至一暫存器中的該子步驟；及

判定該分支預測為不正確的，並以指令  $I_{br+1}$  覆寫至一指令暫存器上。

4. 一種具有一位址產生單元的資料處理系統，包括：

一第一個多工器，具有一第一個輸入，一第二個輸入和一個輸出；

一程式計數器暫存器，具有一和該第一個多工器的輸出耦合之輸入，和一個輸出；

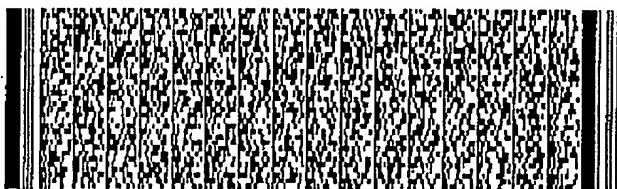
一第二個多工器，具有一第一個輸入，一第二個和該程式計數器暫存器的輸出耦合之輸入，和一個輸出；

一個目標位址暫存器，具有一和該第一個多工器的輸出耦合之輸入，和一個輸出；

一第一個加法器，具有一第一個和該程式計數器暫存器的輸出耦合之輸入，一第二個用以接收一第一個增加值之輸入，和一個輸出；

一個分支位址暫存器，具有一和該第一個加法器的輸出耦合之輸入，及一個和該第二個多工器該第一個輸入耦合之輸出；及

一第三個多工器，具有一第一個和該目標位址暫存器的輸出耦合之輸入，一第二個和該第一個加法器的輸出耦合之輸入，及一個和該第一個多工器該第一個輸入耦合之輸



## 六、申請專利範圍

出。

5. 一種具有一位址產生單元的資料處理系統，包括：

一個多工器裝置，具有一第一個輸入，一第二個用以提供一擷取位址之輸入；

一個耦合的程式計數器，接收該擷取位址；

一個分支目標位址產生器裝置，和該多工器裝置的一第一個輸入耦合，用以提供一分支目標位址，其中該分支目標位址指示緊隨一選取分支之一分支目地位址；及

一跳至下一個序列(skip-next-sequential)位址產生器裝置，和該多工器裝置的一第二個輸入耦合，用以提供緊隨一分支指令之該第二個指令的一個位址。



圖式

短逆向分支(SBB)指令格式

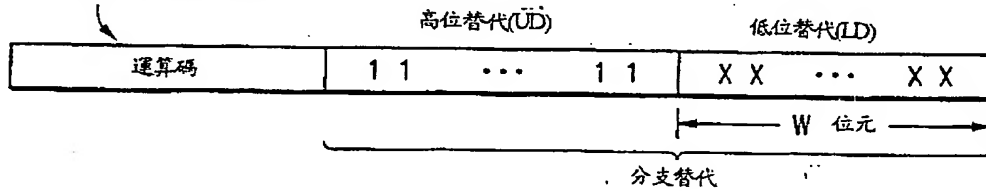


圖 1

短逆向正向分支(SFB)指令格式

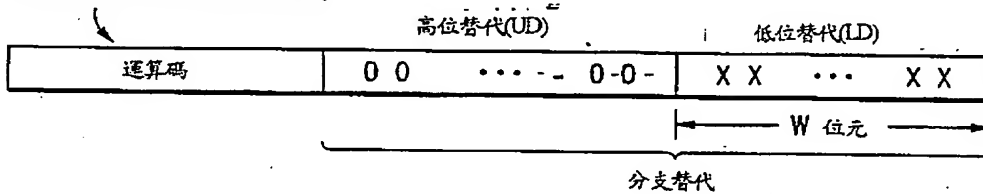


圖 2

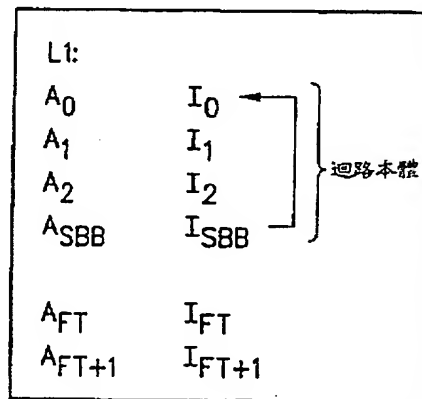


圖 3

圖式

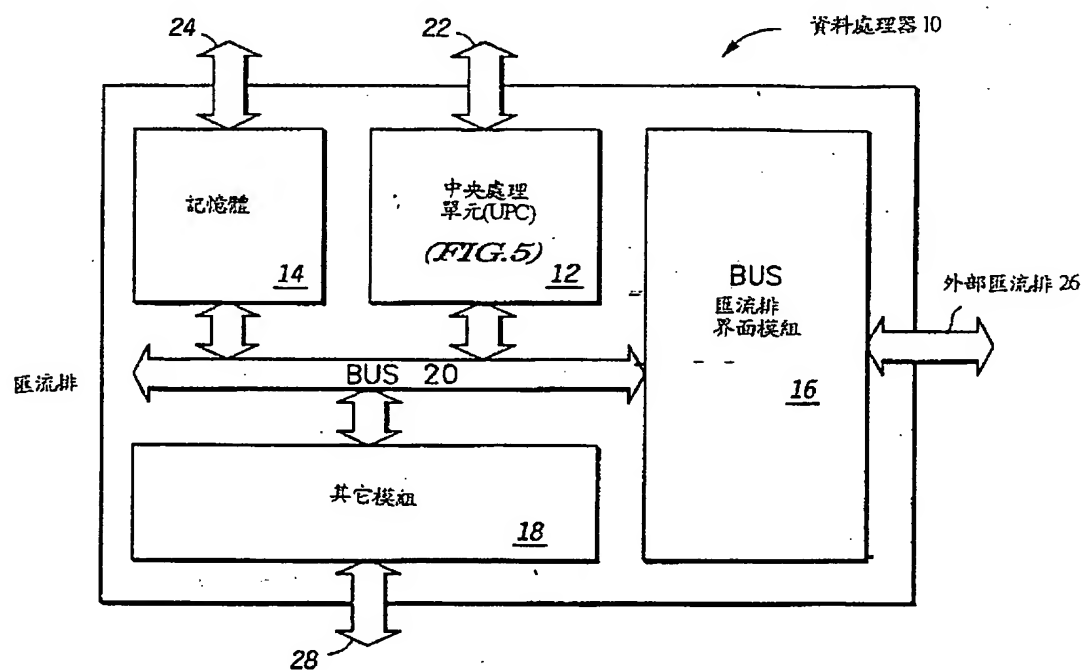


圖 4

圖式

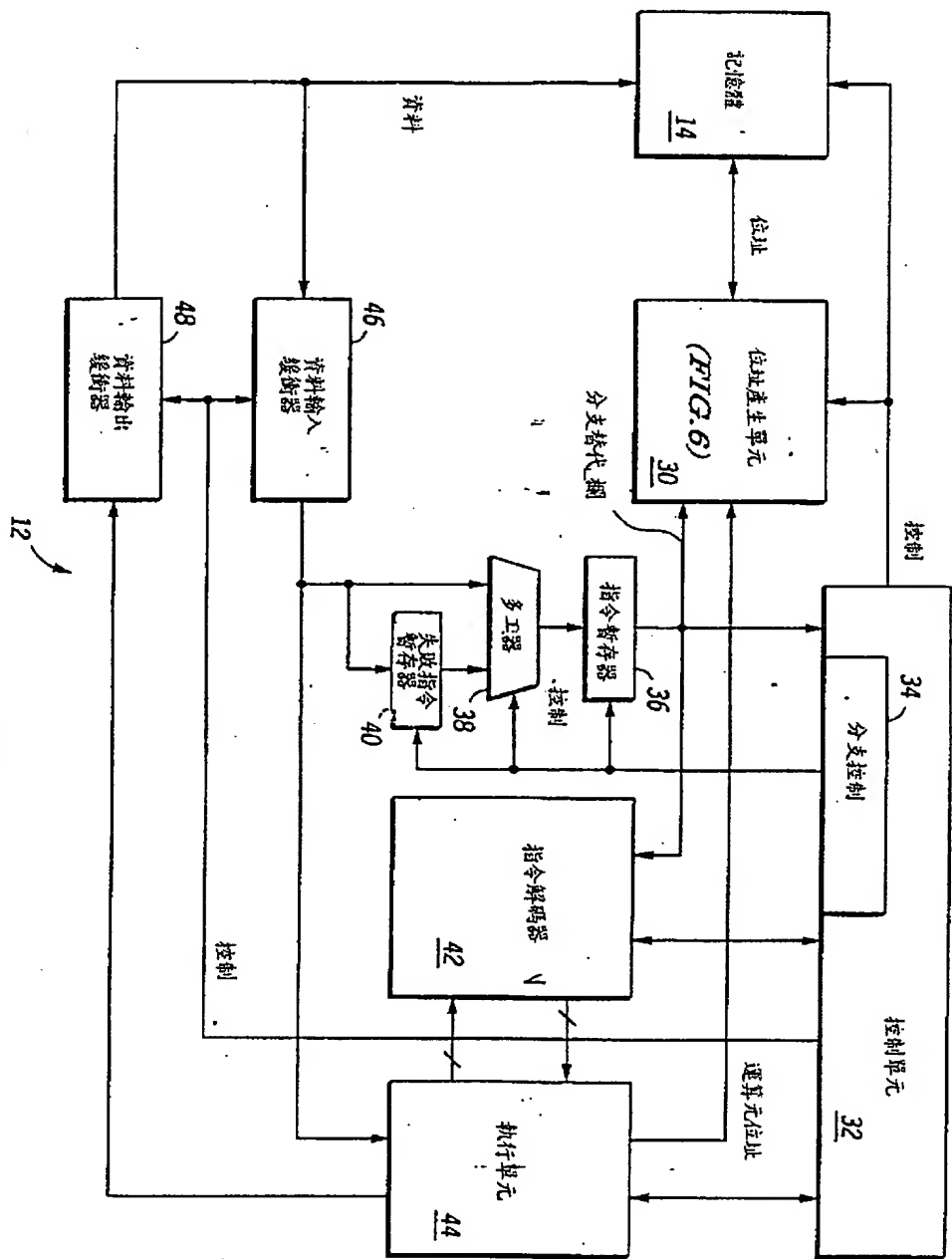


圖 5





圖式

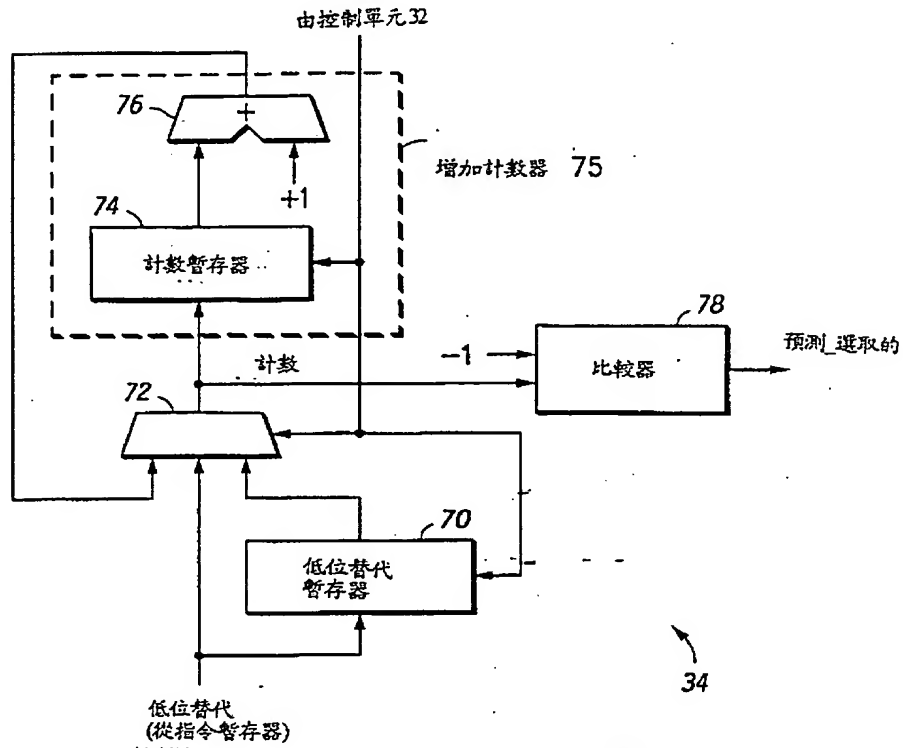


圖 7

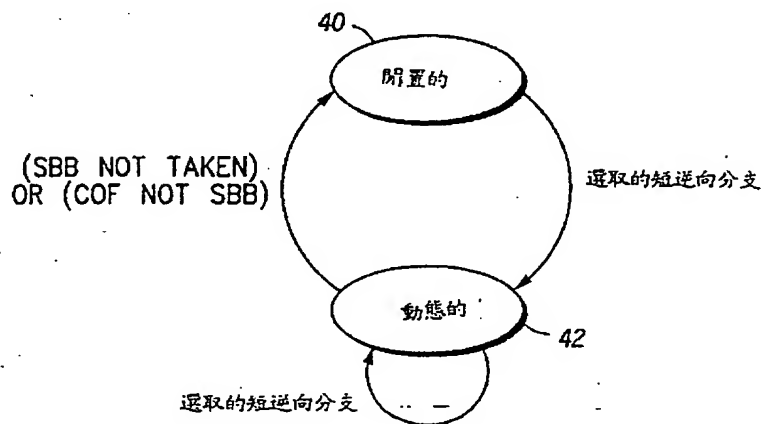


圖 8

圖式

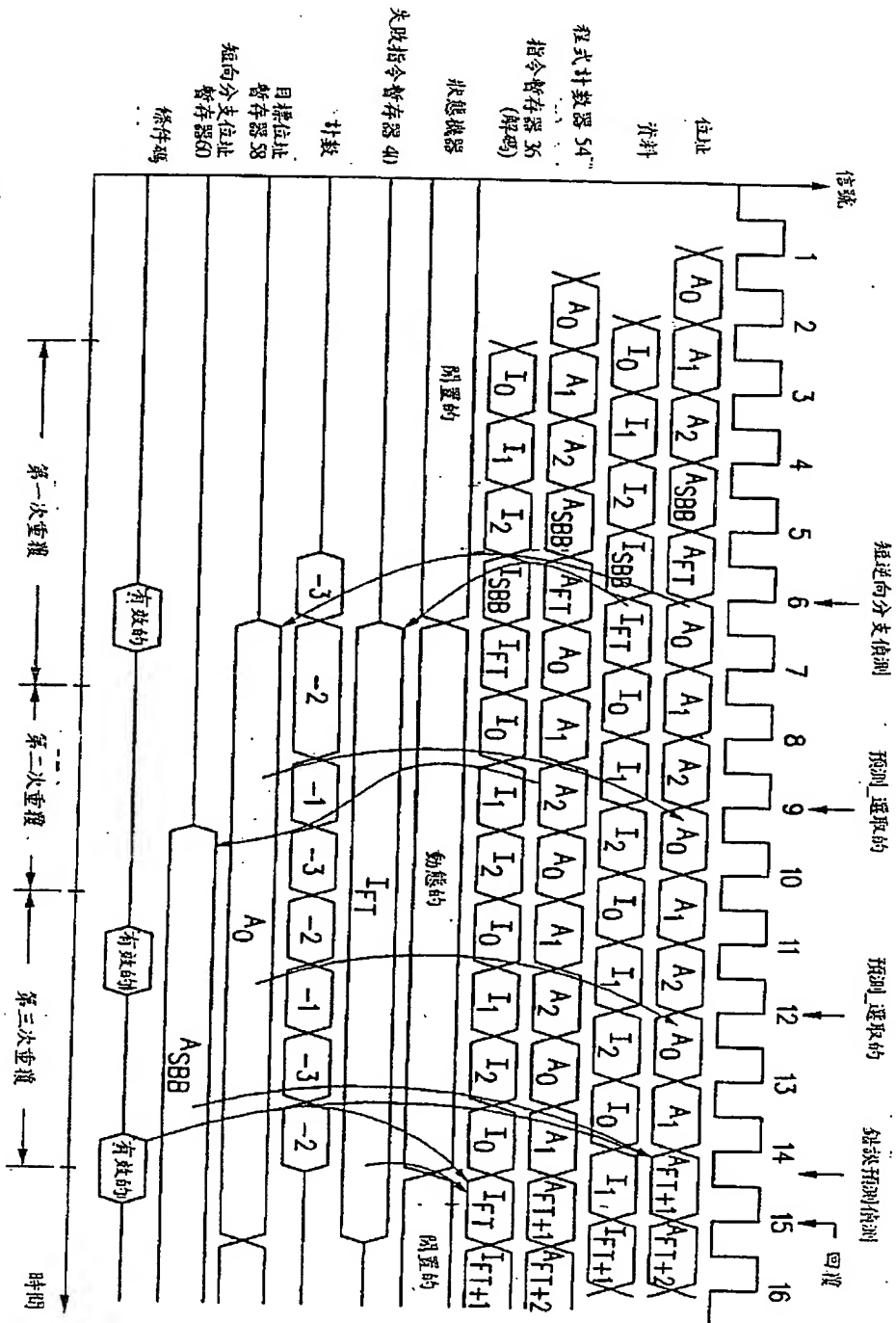


圖 9

圖式

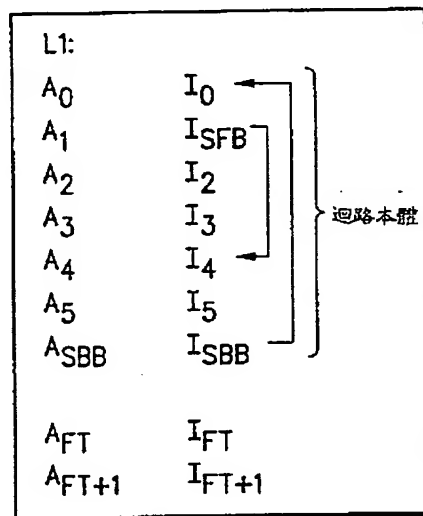


圖 10

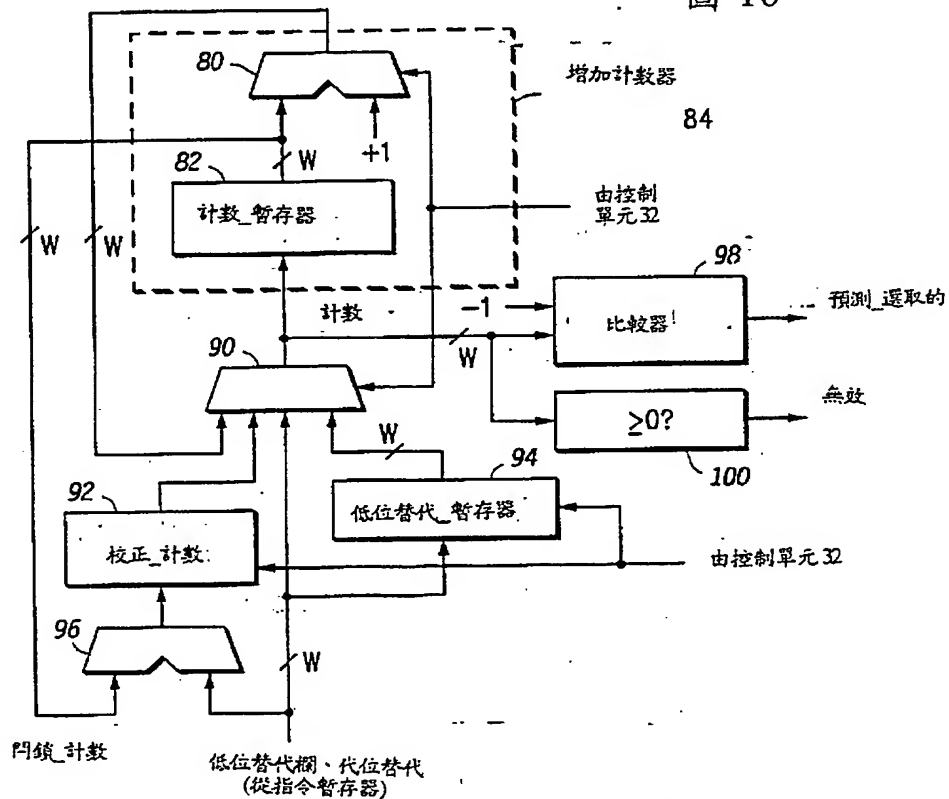


圖 11

